

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-007962

(43)Date of publication of application : 10.01.1997

(51)Int.Cl.

H01L 21/22
H01L 21/205

(21)Application number : 07-148546

(71)Applicant : HITACHI LTD

(22)Date of filing : 15.06.1995

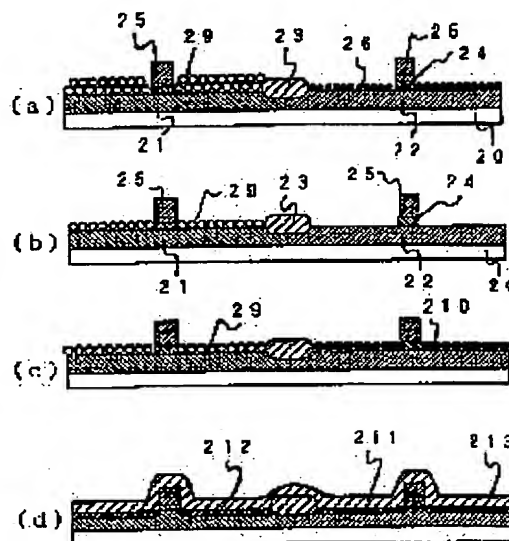
(72)Inventor : USHIO JIRO
TAKEMURA YOSHIKI
MARUIZUMI TAKUYA
IRIE RYOTARO
YAMAGUCHI KEN
MURAKAMI HIDEKAZU
KIMURA SHINICHIRO
KUJIRAI YUTAKA

(54) FORMATION METHOD OF BORON-DOPED LAYER AND SEMICONDUCTOR DEVICE USING IT

(57)Abstract:

PURPOSE: To reduce the troubles of thermal diffusion of boron and a bad influence of boron on another layer structure on a silicon substrate by employing a boron hydride molecule including four or more boron atoms as a boron source.

CONSTITUTION: Several layers of Sb atoms 29 are selectively adsorbed onto a Si surface. Then, substrate temperature is raised to 600 to 700° C to leave only Sb atoms 29 corresponding to one atom layer bonded to the Si surface. At this time also a hydrogen mask composed of remaining hydrogen atoms 26 is eliminated. Then, B₄H₁₀ molecules 210 are introduced and adsorbed onto the surface. The adsorption of the B₄H₁₀ molecules 210 are produced at substrate temperature of 300° C selectively only in a region where no Sb atom 29 is existent. More specifically, a B₄H₁₀ molecule layer pattern is formed in a self alignment manner for an Sb atom layer pattern. Hereby, there can be reduced thermal diffusion of boron and a bad influence of boron on other layer structures on a silicon substrate.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

This Page Blank (uspto)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-7962

(43) 公開日 平成9年(1997)1月10日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/22
21/205

H 0 1 L 21/22
21/205

P

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号 特願平7-148546

(22) 出願日 平成7年(1995)6月15日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 牛尾 二郎

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 竹村 佳昭

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 丸泉 ▲琢▼也

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

(54) 【発明の名称】 ボロン不純物層形成方法およびそれを用いて製造された半導体装置

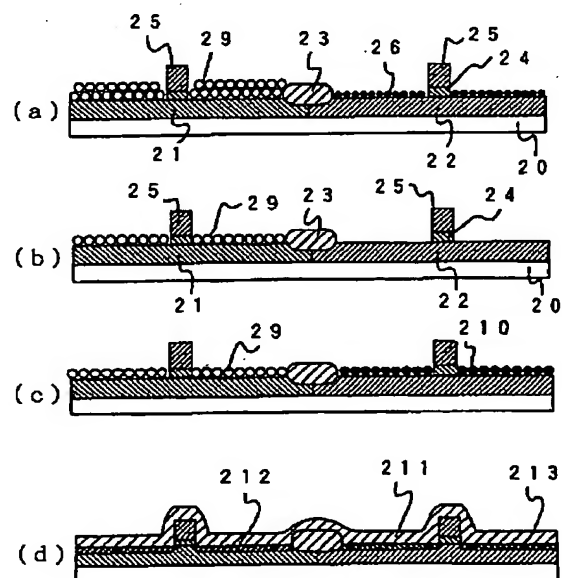
(57) 【要約】

【目的】 従来より浅くかつリーク電流の少ないp型不純物層を低温かつ効率良く形成する。

【構成】 従来の分子層ドーピング法で用いられる B_2H_6 分子のかわりに、 B_2H_6 分子よりB原子数の多い、 B_4H_{10} 、 $B_{10}H_{14}$ 、 $B_{20}H_{18}$ などのホウ水素化物の分子を、低温(室温～500℃)でSi表面に吸着させる。

【効果】 低温かつ少ない工程で、浅くかつ低リークな接合を形成でき、信頼性が高くかつ高性能なCMOSFETを効率よく製造できる。

図 3



【特許請求の範囲】

【請求項1】ボロン原子を4個以上含むホウ水素化合物分子を、ボロン不純物ソースとして用いることを特徴とするボロン不純物層形成方法。

【請求項2】請求項1に記載のボロン不純物層形成方法を用いて製造された半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体製造プロセスのうち、pn接合を形成する不純物ドーピングプロセスにおけるp型不純物層形成方法に係り、特に浅い接合を有する高濃度不純物層の形成に関する。

【0002】

【従来の技術】半導体製造プロセスにおけるドーピングプロセスでは、pn接合形成のためにイオン打ち込み法が用いられてきた。これはボロンあるいはリンなどの不純物原子を電離イオン化、電界をかけてシリコン基板に衝突させて不純物原子の層を基板内に形成する方法である。半導体をより高集積化、高速化するためにはpn接合の深さをさらに小さくする必要がある。その実現には従来のイオン打ち込み法は使えず、他の方法、たとえば不純物ガラスを用いた固相拡散法、あるいはボロンをp型不純物として導入する場合は、メタホウ酸(HBO_2)、三酸化二ボロン(B_2O_3)やジボラン(B_2H_6)の分子のシリコン基板表面への吸着を利用してボロン不純物層を形成する分子層ドーピング法によらなければならない。

【0003】ボロン不純物層形成を例に考えると、固相拡散法はボロンガラス膜のCVDによる基板への堆積、加熱によるボロン不純物拡散、エッチングによるボロンガラスの除去、といったプロセスになる。それに比べ分子層ドーピング法はプロセスが簡単で、ボロン化合物分子の基板への吸着、加熱によるボロン不純物拡散、というプロセスだけですむ。したがって生産効率の点で固相拡散法より分子層ドーピング法の方がすぐれているといえる。

【0004】また HBO_2 や B_2H_6 は、水素あるいはアンチモン(Sb)などを吸着させたシリコン(Si)表面あるいは酸化シリコン(SiO_2)表面と、清浄なSi表面の2種類の異なる表面への吸着量の違い(吸着選択比)が大きい。この性質を用いて自己整合的にボロン不純物層形成が可能である。すなわち分子層ドーピング法によりプロセスの簡略化が可能である。この点でも分子層ドーピング法は固相拡散法よりすぐれている。

【0005】イオン打ち込み法および固相拡散法については、VLSI製造技術(徳山 嶺、橋本哲一 編著、日経BP社、1989年)に、 B_2H_6 分子を用いた分子層ドーピング法については、半導体研究、第34巻、(1991年)第143頁から第174頁に述べられている。また B_2H_6 分子のシリコン基板表面への吸着現象

の実験的解析はジャーナル・オブ・アプライド・フィジックス、第59巻、第12号、(1986年)第4032頁から第4037頁(Journal of Applied Physics, Vol. 59, No. 12(1986) PP. 4032-4037)に詳細に述べられている。

【0006】

【発明が解決しようとする課題】上記 B_2H_6 分子を用いた分子層ドーピング法では、Si基板を600℃以上に加熱する必要がある。そのため基板上に形成されたボロン不純物層は熱拡散し、基板と不純物層の境界のボロン濃度の勾配がゆるやかになり、接合が深くなってしまいうという問題があった。またこの加熱処理のため、ボロン不純物層に対してだけでなく、それまでに形成された基板上の層構造全体にも熱がかかり、層間の拡散や熱応力の発生などにより半導体としての特性劣化を引き起こしていた。

【0007】また B_2H_6 分子のSi表面および酸化Si表面への吸着選択比は約100であり、他のボロン不純物ソースである HBO_2 や B_2O_3 の選択比より大きい。この吸着選択性を利用して自己整合的なボロン不純物層形成を行う場合、吸着選択比が大きいほど最終的に特性のすぐれた半導体を得られる。

【0008】本発明は、従来の分子層ドーピング法における高温加熱処理によるボロンの熱拡散、およびシリコン基板上の他の層構造への悪影響という問題を低減した、ボロン不純物層形成方法を提供することを目的とする。

【0009】本発明は、異なる2種類の表面、すなわちSi表面と SiO_2 表面、あるいはSi表面と他の元素が吸着したSi表面への、ボロン化合物分子の吸着選択比が、従来の分子層ドーピング法より大きいボロン不純物層形成方法を提供することを目的とする。

【0010】また本発明はそれらの方法により製造された、集積度が高く高速な半導体装置を提供することを目的とする。

【0011】

【課題を解決するための手段】 B_2H_6 分子よりボロン(B)原子の数の多いホウ水素化合物には、 B_4H_{10} 、 $\text{B}_{10}\text{H}_{14}$ などがある。上記目標は、これら B_2H_6 分子よりB原子数の多いホウ水素化合物分子をボロン不純物ソースとして用い、Si基板温度を室温〜500℃としてホウ水素化合物分子をSi表面に吸着させることにより達成される。

【0012】

【作用】従来のボロンの分子層ドーピング法は、主に B_2H_6 分子をボロン不純物ソースとして用いていた。温度が600℃以下の場合、吸着B原子は1原子層を形成するに至らず、600℃を超える高温では、 B_2H_6 分子の分解が起こり1原子層を超える量のB原子の堆積が可能であることが知られている。また、高温でのB原子の堆

積はSi表面とSiO₂表面の違いで選択性を示し、SiO₂表面にはSi表面の100分の1の量しかB原子は堆積しない。

【0013】しかし、B₂H₆分子のSi表面への吸着では、B₂H₆分子が持つB-H-Bの3中心2電子結合と呼ばれる電子欠損結合が重要な役割をしていると推測される。すなわちこの電子の不足した結合に、Si表面のSi原子のダングリングボンドの電子が移動して、安定な化学吸着状態を生成できると考えられる。

【0014】この推測を、高精度な密度汎関数法を用いた量子化学計算により確認した。計算の結果、B₂H₆分子とSi表面モデルとの吸着エネルギーは約1.9 eVで、B₂H₆分子のSi表面への吸着は室温でも容易に起こり得ることを見いだした。一方、SiO₂表面への吸着エネルギーはほぼゼロであることから、B₂H₆分子の3中心2電子結合がSi表面への選択的な吸着の原因でもあることがわかった。

【0015】この計算結果から、高温で起こるとされるB₂H₆分子の上記分解反応では、3中心2電子結合を持ち、しかもB₂H₆分子よりB原子数の多い、より大きいホウ水素化合物が生成すると推測した。3中心2電子結合はSi表面への選択的な吸着に必要であり、1分子あたりのB原子数が大きければ1分子の吸着で多数のB原子がSi表面に吸着することになる。

【0016】B₂H₆分子よりB原子数の多い、B₄H₁₀、B₁₀H₁₄、B₂₀H₁₈などのホウ水素化合物の分子はこの条件を満たす。これらの分子はB-B-Bの3中心2電子結合も含む。高温でB₂H₆分子から生成すると考えられる、これらのホウ水素化合物をボロン不純物ソースとして用いた低温プロセスによれば、高温でB₂H₆分子を用いた場合と同様の分子層ドーピングが可能と考えた。

【0017】上記のホウ水素化合物を用いた実験を行ったところ、従来より低温(室温~500℃)で1原子層を超える量のB原子がSi表面に堆積することを確認することができた。しかもSiO₂表面あるいはSbなど他の分子が吸着したSi表面上に、B原子はほとんど堆積せず堆積が選択的であること、またこの選択性がB₂H₆分子を用いた従来の分子層ドーピング法より数倍高いこともわかった。

【0018】

【実施例】

〈実施例1〉B₄H₁₀あるいはB₁₀H₁₄などを用いた本発明の不純物層形成方法によれば、Sb、As、Pなどの1原子層で覆われたSi表面に不純物ソースが吸着しない性質を利用した、自己整合的なボロン不純物層形成が低温で可能であることを、実施例をもとに説明する。図1(a)に示すように、シリコンウェハ上に、一例としてSb原子で覆ったSbマスクの部分AA部(斜線部)と、Sb原子で覆われない矩形領域BB部とを形

成したシリコンウェハ表面に対し、たとえばB₄H₁₀分子を供給した場合のオージェ電子スペクトルを測定した。AA部とBB部のそれぞれのオージェ電子スペクトル強度から、SbマスクのあるAA部ではSb原子は検出されたが、B原子は検出されなかったのに対し、SbマスクのないBB部ではB原子が検出された。すなわちSbマスクのないSi表面部分にだけB原子の吸着が行われる。これを用いれば、Sbのない領域に自己整合的にB原子を吸着させることができる。なおAA部およびBB部でSi原子のオージェ電子スペクトルが検出されなかったのはもちろんである。

【0019】さらに厚さ0.5 nm以下の極薄酸化膜上にも上記の不純物が吸着しない類似現象がある。これを図1(b)により説明する。図1(b)は、表面を極薄酸化膜で覆った極薄酸化膜マスク部CC部(斜線部)と極薄酸化膜で覆われない極薄酸化膜マスクのないDD部とを形成したシリコンウェハ表面である。これに対して不純物としてB₄H₁₀を供給した場合のオージェ電子スペクトルを測定した。CC部およびDD部のそれぞれのオージェ電子スペクトルから、極薄酸化膜マスクのあるCC部では酸素(O)原子およびSi原子は検出されたがB原子は感度を4倍にしても検出されなかった。これに対して極薄酸化膜マスクのないDD部ではB原子が検出された。

【0020】さらに感度を上げてオージェ電子スペクトルを測定し、AA部とBB部におけるB原子のスペクトルの強度比、およびCC部とDD部のB原子スペクトルの強度比を求めた。その結果、どちらの強度比も従来のB₂H₆分子を用いた場合の強度比(約100)の数倍であることがわかった。したがって、本発明の不純物形成方法によれば、従来より選択性の高い自己整合的なボロン不純物層の形成が可能である。

【0021】〈実施例2〉図2を用いて、本発明の不純物層形成方法をSi-CMOSの製造に適用した一実施例について説明する。図2(a)においてSi基板20にpウェル層21およびnウェル層22を形成後、LOCOS酸化を行い素子分離用酸化領域23を形成する。つぎにゲート酸化膜24およびシリサイドゲート電極25を形成後、Si基板20を、たとえばアンモニア水と過酸化水素水の混合溶液により化学洗浄する。さらに、フッ酸水溶液中で自然酸化膜除去を行うことによって、Si基板20の表面を水素原子26で終端した状態にする。

【0022】つぎに、図2(b)に示すように、石英製レチクル28を通してKrFエキシマレーザ光27を照射する。このKrFエキシマレーザ光27を照射するときは、Si表面が酸化しないように超高真空中または高純度窒素中で照射する。このとき、レチクル28の透明部分を透過してKrFエキシマレーザ光27が照射された部分は水素原子26が脱離除去されるけれども、斜線

で示したレチクル28の遮光部分に対向する表面は、KrFエキシマレーザ光27が照射されないので、水素原子26が残留する。

【0023】つぎに、図3(a)に示すように、Sb原子29を数原子層、Si表面に選択吸着させた。これはKrFエキシマレーザ光17を照射したSi基板20を後述するように、そのまま大気にさらすことなく超高真空室内へ導入し、クヌーセンセルから蒸発量をシャッタの開閉により制御して所要量のSb原子29の吸着を行う。図中ではわかりやすくするために、Sb原子(あるいはSb₂、Sb₄分子)29を○印で表し、2原子層とした。Si表面の99%をSb原子で覆い尽くすには、4原子層以上必要である。Si基板20の温度(以下、基板温度と称する)は、水素原子26が脱離しない500℃以下とする。ただしSi上にも若干のSb原子の吸着が認められるため、基板温度を350℃とすることにより、この水素終端したSi上へのSb吸着量を清浄Si表面に吸着する量の1/500以下とすることができ、したがって、基板温度は350~500℃の範囲が好ましい。

【0024】続いて、図3(b)に示すように、基板温度を600~700℃にしてSi表面と結合している1原子層分のSb原子29のみを残す。このとき、残留していた水素原子26で構成された水素マスクも脱離除去される。

【0025】つぎに、B₄H₁₀分子210を導入して図3(c)に示すように、表面に吸着させる。図中ではわかりやすくするために、B₄H₁₀分子210を水素原子26より少し大きな●印で表した。B₄H₁₀分子210の吸着は、基板温度300℃でSb原子29のない領域にのみ選択的に生じる。すなわちSb原子層パターンに対して自己整合的にB₄H₁₀分子層パターンを形成することができる。

【0026】最後に、図3(d)に示すように、CVD酸化膜211を基板温度600℃以下で堆積し、窒素中でドライブイン拡散を、たとえば900℃、10秒間程度行うことにより、nチャネルFETソース/ドレイン212、およびpチャネルFET用ソース/ドレイン213が同時に形成される。

【0027】本実施例によれば、従来の不純物導入方法に比べて工程の低温化が可能である。またソース/ドレイン形成工程数は、従来のホトレジスト工程およびイオン打ち込み工程などを用いる不純物導入方法に比べて、半分に削減される。また、接合深さ20nm、シート抵抗5kΩ/□の浅いpn接合が形成できるので、ゲート長0.15μmのCMOSの高速動作を実現できる。さらに、この不純物導入プロセスはホトレジストをまったく用いない、クリーンかつオールドライの真空一貫プロセスであるため、歩留り向上、製造期間短縮の効果がある。

【0028】また、水素マスクはSi表面を汚染する問題がない点でも、ホトレジスト工程を使う従来のイオン打ち込み法や固相拡散法に比べて、微細パターンが要求される浅接合形成プロセスに適している。

【0029】また、さらにゲート長0.1μm以下の微細なCMOSにおいては、接合深さ10nm以下が必要となる。この場合、シート抵抗5kΩ/□以下を実現するためには、拡散時の不純物の固溶限でドーピング量が制限されるドライブイン拡散法は好ましくない。

【0030】この場合、図4に示すように、吸着した不純物のSb原子29およびB₄H₁₀分子210上に選択エピタキシャル成長法を用いた単結晶Si膜314を、たとえば5~50nm程度成長させればよい。ここで、図4は、図3(c)で説明した次の工程の断面図である。特に、超高真空(UHV)CVD法を用いて、基板温度600℃程度でSiの選択エピタキシャル成長を行えば、高純度かつδ関数的な急峻な分布を有するドーピングが可能となる。選択エピタキシャル成長することにより、表面に吸着された不純物29、210は選択エピタキシャル成長時の単結晶Siの格子中にはいりこんだ状態となるため、拡散時の不純物の固溶限でドーピングが制限されない。なお、50nmをこえる単結晶Siの選択成長は、格子欠陥や歪みがゲート電極25の近傍で発生するため好ましくない。

【0031】あるいは、上記Siの選択エピタキシャル成長法を用いるかわりに、500℃で非晶質Siを全面に堆積したあと、600℃で加熱し、単結晶上のみ非晶質Siを選択的に結晶化し、非晶質Siのみを熱リン酸などでエッチング除去することにより、吸着した不純物29、210上にSi単結晶層を形成してもよい。

【0032】上記の方法により、接合深さ10nm、シート抵抗2kΩ/□の浅いpn接合が形成でき、ゲート長0.05μmのCMOSでゲート遅延時間10psの高速回路動作を実現することができる。

【0033】なお本実施例では、不純物ソースとしてSb原子29とB₄H₁₀分子210を用いた場合について説明したが、Sb原子のかわりにAs原子、P原子あるいはSbH₃、AsH₃、PH₃を、B₄H₁₀分子のかわりにB₁₀H₁₄、B₂₀H₁₆などを用いてもよい。また水素原子マスクの形成にエネルギー線源としてKrFエキシマレーザ光27を用いたが、他に紫外光、X線、電子線を用いてもよい。

【0034】さらに、水素原子マスクを用いて不純物を選択吸着するかわりに、Sb原子、As原子、P原子などの不純物を全面に吸着させたあと、これに上記のようなエネルギー線を照射して部分的に不純物を脱離させることにより、パターン状に加工し、これをB₄H₁₀、B₁₀H₁₄などのマスクとして使用する方法であってもよい。

【0035】〈実施例3〉本発明の不純物層形成方法を

Si-CMOSFETの製造に適用した他の実施例について、図5で説明する。まず、図5(a)に示すように、シリコン基板に $2 \times 10^{17}/\text{cm}^3$ 程度のボロンを含み、深さ $3\mu\text{m}$ のpウェル層41、 $2 \times 10^{17}/\text{cm}^3$ 程度のリンを含み、深さ $3\mu\text{m}$ のnウェル層42、厚さ 300nm の素子分離用酸化膜43、厚さ $3.5 \sim 5\text{nm}$ のゲート酸化膜44を形成後、厚さ 200nm の多結晶Siからなるゲート電極45を形成した。なお、pウェル上の多結晶Siはリンが $10^{20}/\text{cm}^3$ 以上、nウェル上の多結晶Siはボロンが $10^{20}/\text{cm}^3$ 以上含まれている。また SiO_2 膜401はゲート加工のために設けてある。ゲート加工後、CVD SiO_2 膜420を 5nm 堆積する。続いて、多結晶Si膜46を 200nm 堆積し

(b)、異方性エッチングにより、多結晶Siサイドウォールスペーサ47に加工する(c)。つぎに、ホトレジスト48をマスクに用いて、n-MOSFET形成領域にAs(ヒ素)イオン49を $30 \sim 40\text{keV}$ で $2 \times 10^{15}/\text{cm}^2$ 、p-MOSFET形成領域に BF_2 イオン411を $20 \sim 30\text{keV}$ で $2 \times 10^{15}/\text{cm}^2$ イオン打ち込みした(d, e)。つぎに図6に示すように、多結晶Siサイドウォールスペーサ47をエッチング除去したあと、 1000°C 、 10 秒の熱処理を行って、深いn型拡散層410、深いp型拡散層412を形成した(a)。そしてCVD SiO_2 膜420を除去後に表面を再酸化し、 5nm の薄いSi酸化膜430を形成した(b)。

【0036】つぎに、図7に示すように、通常のホトレジストプロセスによってp-MOSFET領域をホトレジスト48でマスクし、n-MOSFET領域にのみAsイオン49を 10keV 以下で注入し、浅いn型拡散層413を形成した(a)。ホトレジストを除去したあと、 Si_3N_4 膜を 8nm 堆積し、異方性エッチングにより、 Si_3N_4 サイドウォールスペーサ431を形成した。つぎに表面をフッ酸水溶液で洗浄し、ソース/ドレイン領域上の酸化膜を除去した。これを水洗乾燥する工程で、n型拡散層表面にのみ厚さ約 1nm の自然酸化膜441が形成された。

【0037】この試料を超高真空装置に導入し、基板温度 300°C で $\text{B}_{10}\text{H}_{14}$ 分子42を吸着させたところ、p-MOS領域上のSi表面にのみボロンの吸着が認められた(b)。

【0038】つぎに、 900°C 、 10 秒の熱処理を行い、Asを活性化するとともに、BをSi内部へ拡散させ、浅いp型拡散層414を形成した(c)。つぎにSi酸化膜421を 200nm 堆積し、異方性エッチングにより加工し、酸化膜サイドウォールスペーサ422を形成する。最後に、全面にTiを 30nm 堆積し、熱処理を行い、深い拡散層およびゲート電極の上部にチタンシリサイド層423を形成した(d)。

【0039】以上により、接合深さ 30nm 、シート抵抗 $2\text{k}\Omega/\square$ の浅接合が形成でき、ゲート長 $0.15\mu\text{m}$

mのCMOSが短チャネル効果を起こさずに高速に動作することを確認した。この方法では、 $\text{B}_{10}\text{H}_{14}$ の選択吸着現象を利用し、従来法に比べプロセスの一層の簡略化を達成した。なおBソースとしては $\text{B}_{10}\text{H}_{14}$ 、 $\text{B}_{20}\text{H}_{16}$ などを用いてもよい。さらに、B吸着後厚さ $2 \sim 5\text{nm}$ のSiキャップ層をエピタキシ成長すると、Bが固溶限をこえてSi結晶格子中に取り込まれる。その後、 900°C 、 10 秒の熱処理を行ってから、Si層を除去することで浅いp型拡散層部分の大幅な低抵抗化が可能となった。また自然酸化膜のかわりに、水蒸気中での熱酸化法により、n型拡散層上に数nmの酸化膜を形成し、他の部分に成長した薄い酸化膜をフッ酸水溶液でエッチング除去する方法を利用してもよい。

【0040】

【発明の効果】本発明によれば微細なMOSFET用の、浅い急峻な分布を有する接合などを、低温かつ少ない工程数で実現することができる。したがって半導体の歩留まり向上、製造期間短縮に効果がある。また本発明の不純物層形成法によれば、低リーク電流のきわめて浅い($<30\text{nm}$)ソース/ドレイン接合を形成でき、ゲート長 $0.15\mu\text{m}$ 以下のCMOSFETの高速動作が可能となる。したがって半導体素子の高性能化にも効果がある。

【図面の簡単な説明】

【図1】本発明の不純物層形成方法の選択性を示すための、シリコンウェハ表面の模式図。

【図2】本発明の不純物層形成方法による一実施例の主要工程を順に示した断面構造図。

【図3】本発明の不純物層形成方法による一実施例の主要工程を順に示した断面構造図。

【図4】本発明の不純物形成方法による一実施例の図2(e)に示した工程の後の処理工程を模式的に示した断面構造図。

【図5】本発明の不純物形成方法による他の実施例の主要工程を順に示した断面構造図。

【図6】本発明の不純物形成方法による他の実施例の主要工程を順に示した断面構造図。

【図7】本発明の不純物形成方法による他の実施例の主要工程を順に示した断面構造図。

【符号の説明】

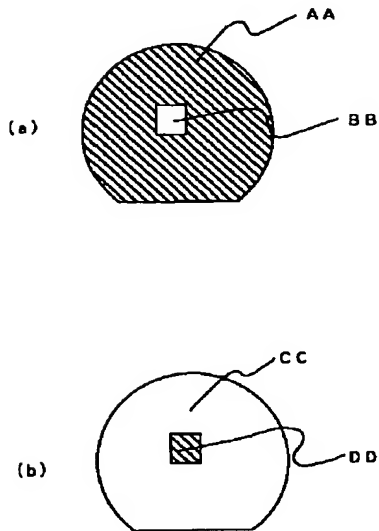
20…Si基板、21…pウェル層、22…nウェル層、23…素子分離用酸化膜、24…ゲート酸化膜、25…ゲート電極、211…CVD酸化膜、212…nチャネルFET用ソース/ドレイン、213…pチャネルFET用ソース/ドレイン、314…単結晶Si膜、40…Si基板、41…pウェル層、42…nウェル層、43…素子分離用酸化膜、44…ゲート酸化膜、45…ゲート電極、46…多結晶Si膜、47…多結晶Siサイドウォールスペーサ、48…ホトレジスト、19…Asイオン、410…深いn型拡散層、411… BF_2 イオン、412…深いp型拡散層、413…浅いn型拡散

層、414…浅いp型拡散層、420…CVDSiO₂膜、421…Si酸化膜、422…酸化膜サイドウォール

ルスペーサ、423…シリサイド層、431…Si₃N₄サイドウォールスペーサ。

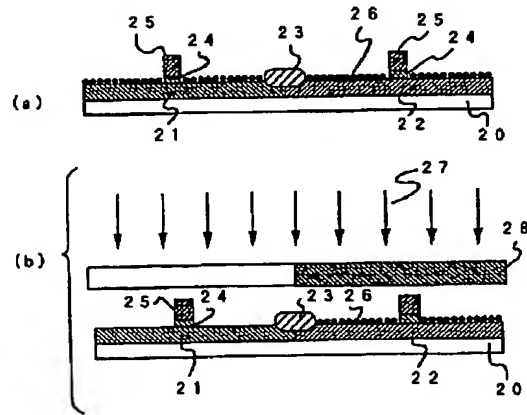
【図1】

図1



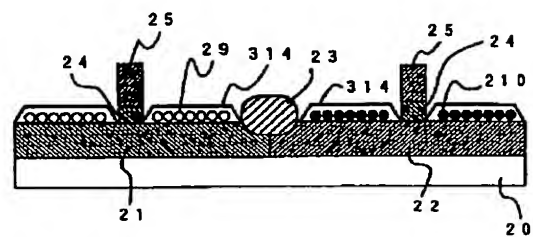
【図2】

図2



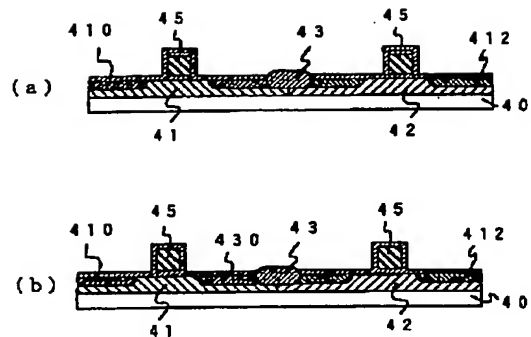
【図4】

図4



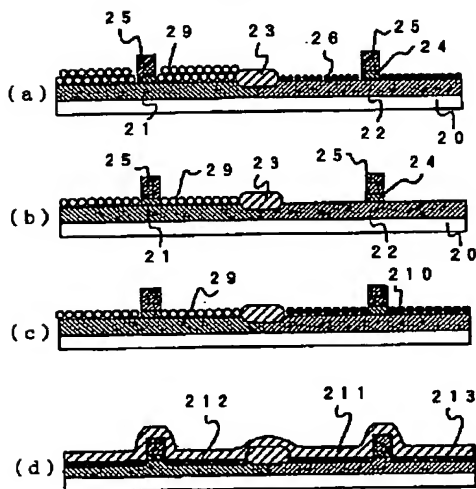
【図6】

図6

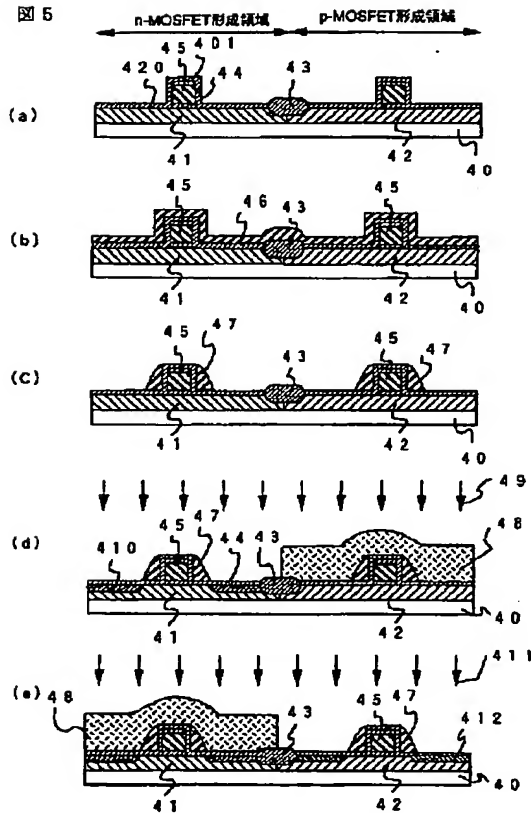


【図3】

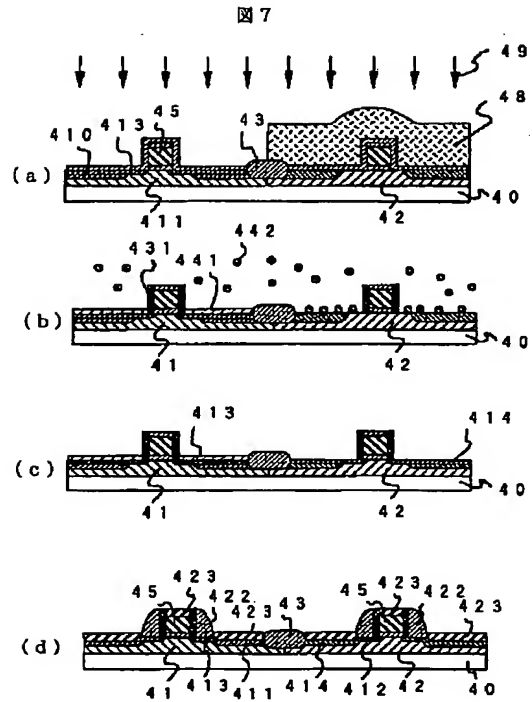
図3



【図5】



【図7】



フロントページの続き

(72)発明者 入江 亮太郎
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 山口 憲
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 村上 英一
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 木村 紳一郎
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 鯨井 裕
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

This Page Blank (uspto)